

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年8月18日 (18.08.2005)

PCT

(10) 国際公開番号
WO 2005/076283 A1

(51) 国際特許分類⁷:

G11C 29/00

(21) 国際出願番号:

PCT/JP2005/001891

(22) 国際出願日:

2005年2月9日 (09.02.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2004-033916 2004年2月10日 (10.02.2004) JP

(71) 出願人(米国を除く全ての指定国について): シャープ
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
5458522 大阪府大阪市阿倍野区長池町22番22号
Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 森 康通 (MORI, Yasumichi) [JP/JP]; 〒6300212 奈良県生駒市辻町
635-1-502 Nara (JP). 渡邊 雅彦 (WATANABE, Masahiko) [JP/JP]; 〒6391061 奈良県生駒郡安堵町東
安堵55-1-306 Nara (JP).

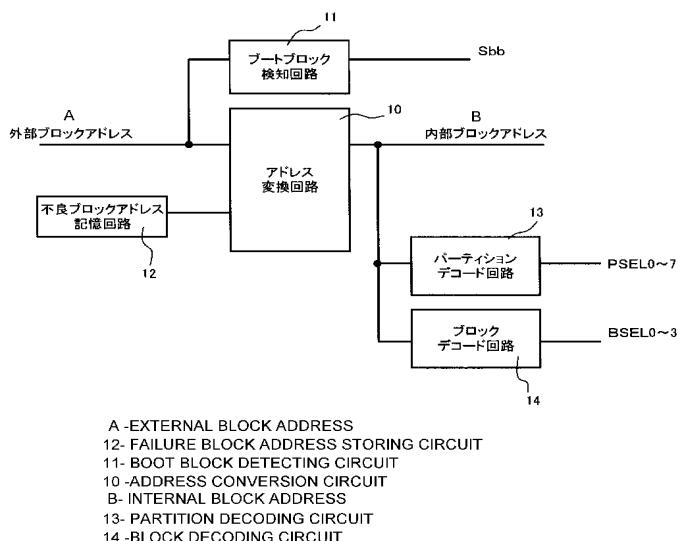
(74) 代理人: 政木 良文 (MASAKI, Yoshifumi); 〒5410042
大阪府大阪市中央区今橋4丁目3番6号 淀屋橋
N A Oビル7F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,

/続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR STORING DEVICE AND BLOCK REDUNDANCY SAVING METHOD

(54) 発明の名称: 不揮発性半導体記憶装置及びブロック冗長救済方法



A - EXTERNAL BLOCK ADDRESS
12- FAILURE BLOCK ADDRESS STORING CIRCUIT
11- BOOT BLOCK DETECTING CIRCUIT
10 - ADDRESS CONVERSION CIRCUIT
B - INTERNAL BLOCK ADDRESS
13- PARTITION DECODING CIRCUIT
14 - BLOCK DECODING CIRCUIT

(57) Abstract: A nonvolatile semiconductor storing device is provided with a block replacing means, which replaces a failure block with a redundancy block, in a case where one memory block in a memory array is a failure block. The block replacing means is provided with an address conversion circuit (10), which reverses an address bit corresponding to a non-matching part of address bits of a failure block address and redundancy block address of the failure block, among address bits of inputted external block addresses, for conversion into an internal block address. Each memory block (5) is selected based on the internal block address after converting the external block address inputted from the external by the address conversion circuit (10)

(57) 要約: 本発明の不揮発性半導体記憶装置は、メモリアレイ内の1つのメモリブロックが不良ブロックである場合に、不良ブロックを冗長ブロックと置換するブロック置換手段を備え、ブロック置換手段が、入力された外部ブロックアドレスの各アドレスビットの内、不良ブロックの不良ブロックアドレスと冗長ブロックアドレスの各アドレスビットの不一致部分に対応するアドレスビットを反転させて、内部ブロックアドレスに変換するアドレス変換回路10を備え、各メモリブロック5が、外部から入力される外部ブ

WO 2005/076283 A1

/続葉有]



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

不揮発性半導体記憶装置及びブロック冗長救済方法
技術分野

[0001] 本発明は、不揮発性半導体記憶装置の不良メモリセルの冗長救済技術に関し、特に、デュアルワーク機能やブートブロックを有する不揮発性半導体記憶装置に適用可能な冗長救済技術に関する。

背景技術

[0002] 不揮発性半導体記憶装置の不良メモリセルの冗長救済技術と、DRAM等の揮発性の半導体記憶装置と同様に、種々の方法が提案され実現されている。一般的に用いられている冗長救済技術として、メモリセルアレイ中の不良メモリセルを含む不良ロー(行)または不良コラム(列)、或いは、ローまたはコラム全体が不良の不良ローまたは不良コラムを、予めメモリセルアレイの周辺部に所定本数が用意された冗長ローまたは冗長コラムと置換する方法がある。この場合、不良ローのアドレス及び不良コラムアドレスを不良アドレス記憶手段に記憶しておき、外部から入力されたアドレスの当該アドレス部分を記憶された不良ローのアドレス及び不良コラムアドレスと比較し、一致する場合に、冗長ローまたは冗長コラムが自動的に選択されるようにする。

[0003] ローまたはコラム救済では、メモリセル単位や行方向または列方向に沿って発生する不良モードに対しては有効な救済方法であるが、冗長ローまたは冗長コラムの本数によって救済可能なローまたはコラムが限定され、製造プロセスの微細化に伴って発生頻度が高くなる、パーティクル起因の多ビット連続不良(複数の不良メモリセルが連続した塊となって不良となる)等に対しては、有効な救済手段ではない。

[0004] そこで、一定単位の複数のメモリセルからなるメモリブロックを救済単位として、該メモリブロックを一括して救済するブロック冗長救済方式がある。当該ブロック冗長救済方式であれば、上記パーティクル起因の多ビット連続不良等を効果的に救済でき、製造歩留りを向上させることができる。

[0005] ここで、ブロック冗長救済方式に適用可能な、不良アドレスを冗長アドレスに変換する手法として、下記特許文献1に記載の「半導体集積回路装置」で提案されているア

ドレス変換手法がある。当該アドレス変換手法では、アドレスにより選択される範囲の容量を越える容量のメモリセル列が配置されたメモリセルアレイを有するメモリ部と、アドレスを変換してメモリ部のメモリセル選択を行うアドレス変換回路とを備え、アドレス変換回路が、不良メモリセルの分布に応じて、不良メモリセル列を含んで不良メモリセル列より多いメモリセル列を他の正常なメモリセル列で置換するようにアドレスとメモリセル列の対応関係が固定されるというものである。つまり、フューズにより、アドレス変換パターンを固定的に記憶し、これにより、アドレス入力時にいちいち不良アドレスとの一致・不一致を確認する必要がなくなる。しかしながら、当該アドレス変換手法は、本来ローまたはコラム救済を想定しているため、複数の冗長ローまたは冗長コラムを複数の冗長ブロックに対応させるとすれば、複数の不良メモリブロックの救済が、アドレス比較手段を必要とせずに高速で実施できるものの、予め多くの冗長ブロックをチップ上に搭載する必要があり、また、正常なメモリブロックの中にも使用されないブロックが生じるため、メモリ領域の実使用効率が低下して、メモリビットコストが高騰するという問題がある。

[0006] 特許文献1:特開2001-256793号公報

発明の開示

発明が解決しようとする課題

[0007] 上記以外に、ブロック救済時のアドレス変換の問題点として、デュアルワーク機能における問題がある。デュアルワーク機能とは、同じ不揮発性半導体記憶装置において、2つの記憶領域の一方に対して、読み出し動作を行いながら、他方に対して書き替え動作(書き込みまたは消去)を可能とする機能を言う。フラッシュメモリ等の不揮発性半導体記憶装置においては、記憶されるデータの内容として、単なるデータとプログラムコードの2種類があり、その両方が記憶されている場合に、1つの不揮発性半導体記憶装置のある記憶領域からプログラムコードを読み出して、外部のプロセッサが所定の処理を実行しながら、同じ不揮発性半導体記憶装置に処理データを格納するという処理が必要となる。デュアルワーク機能は、かかる処理を効率的に実行するために、不揮発性半導体記憶装置に要求される。

[0008] ところで、大容量の不揮発性半導体記憶装置におけるデュアルワーク機能は、メモ

リアレイを複数のパーティションに分割し、更に、各パーティションが複数のメモリブロックを含むように構成しておき、パーティション内の1つのメモリブロックに対する書き替え動作中に、他のパーティション内の1つのメモリブロックに対する読み出し動作が可能となるように構成することで、実現可能である。

[0009] 上記デュアルワーク機能のメモリアレイ構成の場合に、各メモリブロックの救済をブロック単位で自由に行えるとすると、パーティションの境界を越えて不良ブロックと冗長ブロックの置換処理が実行されるため、パーティションの単位を維持できなくなり、デュアルワーク機能が破綻する。

[0010] 本発明は、上記問題点に鑑みてなされたもので、その目的は、上記問題点を解消し、メモリブロックの実使用効率が高く、デュアルワーク機能に適用可能で、高速でのブロック救済処理が可能な不揮発性半導体記憶装置及びブロック冗長救済方法を提供することにある。

課題を解決するための手段

[0011] 上記目的を達成するための本発明に係る不揮発性半導体記憶装置は、電気的に書き込み消去可能な不揮発性のメモリセルをアレイ状に複数配列して一括データ消去可能に形成されたメモリブロックの複数と、前記メモリブロックの1つと同じメモリセル数で同構成の冗長ブロックとで構成されるメモリアレイを備えてなる不揮発性半導体記憶装置であって、前記メモリアレイ内の1つの前記メモリブロックが不良ブロックである場合に、前記不良ブロックを前記冗長ブロックと置換するブロック置換手段を備え、前記ブロック置換手段が、入力された外部ブロックアドレスの各アドレスビットの内、前記不良ブロックの不良ブロックアドレスと前記冗長ブロックアドレスの各アドレスビットの不一致部分に対応するアドレスビットを反転させて、内部ブロックアドレスに変換するアドレス変換回路を備え、前記各メモリブロックが、外部から入力される前記外部ブロックアドレスを前記アドレス変換回路で変換した後の前記内部ブロックアドレスに基づいて、選択されるように構成されていることを第1の特徴とする。

[0012] 上記第1の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、アドレス変換回路に入力された外部ブロックアドレスが不良ブロックアドレスである場合は、出力される内部ブロックアドレスが、冗長ブロックアドレスに変換されるために、自動

的に不良ブロックを冗長ブロックに置換するブロック置換処理が実行される。即ち、外部から入力された外部ブロックアドレスが不良ブロックアドレスであるか否かの判定が不要となり、高速でブロック置換処理が実行できる。また、本特徴のブロック置換処理は、1つの冗長ブロックに対して実行できるので、メモリアレイ全体での記憶領域の実使用効率を高く維持することができる。更に、不良ブロック以外のメモリブロックについても、外部ブロックアドレスから内部ブロックアドレスへアドレス変換がなされるため、複数のメモリブロックでデュアルワーク機能の処理単位としてのパーテイションを構成した場合でも、外部ブロックアドレス中のパーテイションを特定するアドレスビットは、常に同じルールで別の内部ブロックアドレスの当該アドレスビット上に変換されるため、あるパーテイションに属するメモリブロックは、変換後も同じパーテイションに属することになり、アドレス変換処理によってデュアルワーク機能の処理単位が崩れることはない。また、不良ブロックが存在しない場合は、不良ブロックアドレスを冗長ブロックアドレスと等しく設定することで、各アドレスビットの不一致部分が存在しなくなるので、アドレス変換回路に入力される外部ブロックアドレスと出力される内部ブロックアドレスは等しくなり、通常のメモリブロックの選択がなされる。

[0013] 本発明に係る不揮発性半導体記憶装置は、第1の特徴に加えて、前記メモリアレイ内の1つの特定メモリブロックの特定ブロックアドレスと前記冗長ブロックの冗長ブロックアドレスが重複するように構成され、前記ブロック置換手段が、外部から入力される前記ブロックアドレスが前記特定ブロックアドレスか否かを検知し、前記ブロックアドレスが前記特定ブロックアドレスと一致する場合に、強制的に前記特定メモリブロックを選択する信号を出力する特定ブロックアドレス検知回路を備えることを第2の特徴とする。

[0014] 上記第2の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、不良ブロックが存在しない場合は、不良ブロックアドレスを冗長ブロックアドレスと等しく設定することで、アドレス変換回路による実質的なアドレス変換処理がなされないので、外部から特定ブロックアドレス(冗長ブロックアドレスと同じ)が入力された場合に、冗長ブロックではなく特定メモリブロックが選択される。また、不良ブロックが存在する場合は、不良ブロックアドレスが入力されると、アドレス変換回路で冗長ブロックアドレス

に変換され、冗長ブロックが選択され、特定ブロックアドレスが入力されるとアドレス変換回路は不良ブロックアドレスに変換するが、特定ブロックアドレス検知回路によって不良ブロックが選択されずに、特定メモリブロックが選択されることになる。ここで、特定ブロックアドレス検知回路の一致検出処理にかかる時間が問題となるが、当該一致検出処理は、アドレス変換回路のアドレス変換処理と並行して実行できるため、ブロック置換処理を遅らせる要因とはならず、高速処理を維持できる。

[0015] 更に、不良ブロックが存在する場合は、特定メモリブロック以外のメモリブロックは、不良ブロックアドレスによって定まるアドレス変換処理によって、本来の指定位置とは異なる位置に配置された他のメモリブロックに置換されるが、特定メモリブロックについては、特定ブロックアドレスが入力されると必ず、特定メモリブロックを選択することができる。従って、アドレス変換処理後も、特定ブロックアドレスと特定メモリブロックの物理的な関係が維持されるため、特定メモリブロックを他のメモリブロックと異なる構造で区別化して、特定用途に使用することが可能となる。

[0016] 本発明に係る不揮発性半導体記憶装置は、第2の特徴に加えて、前記特定メモリブロックが、更に複数の一括データ消去可能な小メモリブロックで構成されているブートブロックであることを第3の特徴とする。

[0017] また、上記第3の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、特定ブロックアドレスが入力されると必ず、ブートブロックである特定メモリブロックが選択されるため、不良ブロックの有無に拘わらず、特定メモリブロックを他のメモリブロックと区別して、ブートブロックとして使用できる。

[0018] 本発明に係る不揮発性半導体記憶装置は、更に、上記第3の特徴に加えて、前記メモリアレイの本体部を前記ブートブロック以外の前記メモリブロックと前記冗長ブロックで構成し、前記ブートブロックを前記メモリアレイの本体部から分離して配置することを第4の特徴とする。

[0019] 上記第4の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、冗長ブロックは、構造的にブートブロック以外のメモリブロックと同じであるので、メモリアレイの本体部は、メモリブロックを規則的に配列して構成でき、メモリアレイ内に余分なスペースが生じない。また、ブートブロックは、メモリアレイ周辺部のレイアウトを調整

することで、周辺部に存在する余分なスペースを有効に利用できる。この結果、メモリアレイ全体の実装密度の向上により、装置全体のチップサイズを縮小でき製造コストの低減が図れる。

- [0020] 本発明に係る不揮発性半導体記憶装置は、更に、上記第2乃至第4の何れかの特徴に加えて、前記特定ブロックアドレスが前記ブロックアドレスの最上位または最下位であることを第5の特徴とする。
- [0021] 上記第5の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、特定ブロックアドレスの識別が容易となり、特定メモリブロックを他のメモリブロックと区別して利用しやすくなる。また、一般的なブートブロックメモリとの互換性を維持することができる。
- [0022] 本発明に係る不揮発性半導体記憶装置は、更に、上記第1乃至第6の何れかの特徴に加えて、前記ブロック置換手段が、前記不良ブロックアドレスまたは前記冗長ブロックアドレスの各アドレスビットとの不一致部分に関する情報を記憶する不良ブロックアドレス記憶回路を備え、前記アドレス変換回路が、前記ブロックアドレスの各アドレスビットに対して排他的論理和回路または排他的否定論理和回路を備えて構成されていることを第6の特徴とする。
- [0023] 上記第6の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、簡単な回路構成で上記第1の特徴のブロック置換手段を具体的に実現できる。
- [0024] 本発明に係る不揮発性半導体記憶装置は、更に、上記第6の特徴に加えて、前記不良ブロックアドレス記憶回路が、外部から書き替え可能に構成されていることを第7の特徴とする。
- [0025] 上記第7の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、一旦不良ブロックの存在しない良品として出荷され特定の装置内に実装された後に、何らかの要因で正常であったメモリブロックが不良ブロックとなった場合であっても、不良ブロックアドレス記憶回路に、新たな不良ブロックアドレスを書き込むことにより、当該不良ブロックの冗長救済が事後的に可能となる。従って、最終製品の信頼性をより向上させることができる。
- [0026] 本発明に係る不揮発性半導体記憶装置は、更に、上記何れかの特徴に加えて、前

記メモリアレイが複数のパーティションに分割され、且つ、前記各パーティションが複数の前記メモリブロックを含むように構成され、前記パーティション内の1つのメモリブロックに対する書き替え動作中に、他の前記パーティション内の1つのメモリブロックに対する読み出し動作が可能に構成されていることを第8の特徴とする。

[0027] 上記第8の特徴を備えた本発明に係る不揮発性半導体記憶装置によれば、上記パーティションを処理単位とするデュアルワーク機能を備え、且つ、不良ブロックの冗長救済後もデュアルワーク機能を利用可能な不揮発性半導体記憶装置を実現できる。

[0028] 上記目的を達成するための本発明に係る不揮発性半導体記憶装置のブロック冗長救済方法は、電気的に書き込み消去可能な不揮発性のメモリセルをアレイ状に複数配列して一括データ消去可能に形成されたメモリブロックの複数と、前記メモリブロックの1つと同じメモリセル数で同構成の冗長ブロックとで構成されるメモリアレイを備えてなる不揮発性半導体記憶装置のブロック冗長救済方法であって、外部から入力される外部ブロックアドレスの各アドレスビットの内、前記不良ブロックの不良ブロックアドレスと前記冗長ブロックアドレスの不一致部分に対応するアドレスビットを反転させて、内部ブロックアドレスに変換するブロックアドレス変換工程と、前記内部ブロックアドレスを用いて前記メモリブロックを選択するメモリブロック選択工程を有することを第1の特徴とする。

[0029] 上記第1の特徴を備えた本発明に係る半導体記憶装置のブロック冗長救済方法によれば、外部から入力された外部ブロックアドレスが不良ブロックアドレスである場合は、変換後の内部ブロックアドレスが冗長ブロックアドレスと同じになるために、自動的に不良ブロックを冗長ブロックに置換するブロック置換処理が実行される。即ち、外部から入力された外部ブロックアドレスが不良ブロックアドレスであるか否かの判定が不要となり、高速でブロック置換処理が実行できる。また、本特徴のブロックアドレス変換工程でのブロック置換処理は、1つの冗長ブロックに対して実行できるので、メモリアレイ全体での記憶領域の実使用効率を高く維持することができる。更に、不良ブロック以外のメモリブロックについても、外部ブロックアドレスから内部ブロックアドレスへアドレス変換がなされるため、複数のメモリブロックでデュアルワーク機能の処理単

位としてのパーティションを構成した場合でも、外部ブロックアドレス中のパーティションを特定するアドレスビットは、常に同じルールで別の内部ブロックアドレスの当該アドレスビット上に変換されるため、あるパーティションに属するメモリブロックは、変換後も同じパーティションに属することになり、アドレス変換処理によってデュアルワーク機能の処理単位が崩れることはない。また、不良ブロックが存在しない場合は、不良ブロックアドレスを冗長ブロックアドレスと等しく設定することで、各アドレスビットの不一致部分が存在しなくなるので、アドレス変換回路に入力される外部ブロックアドレスと出力される内部ブロックアドレスは等しくなり、通常のメモリブロックの選択がなされる。

[0030] 本発明に係る半導体記憶装置のブロック冗長救済方法は、第1の特徴に加えて、前記メモリアレイ内の1つの特定メモリブロックの特定ブロックアドレスと前記冗長ブロックの冗長ブロックアドレスが重複するように構成し、外部から入力される前記外部ブロックアドレスが前記特定ブロックアドレスか否かを検知し、前記外部ブロックアドレスが前記特定ブロックアドレスと一致する場合に、強制的に前記特定メモリブロックを選択することを第2の特徴とする。

[0031] 上記第2の特徴を備えた本発明に係る半導体記憶装置のブロック冗長救済方法によれば、不良ブロックが存在しない場合は、不良ブロックアドレスを冗長ブロックアドレスと等しく設定することで、ブロックアドレス変換工程において実質的なアドレス変換処理がなされないので、外部から特定ブロックアドレス(冗長ブロックアドレスと同じ)が入力された場合に、冗長ブロックではなく特定メモリブロックが選択される。また、不良ブロックが存在する場合は、不良ブロックアドレスが入力されると、ブロックアドレス変換工程において冗長ブロックアドレスに変換され、メモリブロック選択工程で冗長ブロックが選択され、特定ブロックアドレスが入力されるとブロックアドレス変換工程において不良ブロックアドレスに変換するが、不良ブロックが選択されずに、特定メモリブロックが強制的に選択されることになる。ここで、外部から入力されたブロックアドレスと特定ブロックアドレスとの一致検出処理に要する時間が問題となるが、当該一致検出処理は、ブロックアドレス変換工程と並行して実行できるため、ブロック置換処理を遅らせる要因とはならず、高速処理を維持できる。

[0032] 更に、不良ブロックが存在する場合は、特定メモリブロック以外のメモリブロックは、

不良ブロックアドレスによって定まるアドレス変換処理によって、本来の指定位置とは異なる位置に配置された他のメモリブロックに置換されるが、特定メモリブロックについては、特定ブロックアドレスが入力されると必ず、特定メモリブロックを選択することができる。従って、アドレス変換処理後も、特定ブロックアドレスと特定メモリブロックの物理的な関係が維持されるため、特定メモリブロックを他のメモリブロックと異なる構造で区別化して、特定用途に使用することが可能となる。

図面の簡単な説明

[0033] [図1]本発明に係る不揮発性半導体記憶装置の一実施形態におけるメモリアレイ構成を模式的に示すブロック図

[図2]本発明に係る不揮発性半導体記憶装置の一実施形態におけるメモリアレイ構成を模式的に示す他のブロック図

[図3]本発明に係る不揮発性半導体記憶装置の一実施形態におけるブロック置換処理に関する回路構成を示すブロック図

[図4]本発明に係る不揮発性半導体記憶装置の一実施形態におけるアドレス変換回路を示す論理回路図

[図5]本発明に係る不揮発性半導体記憶装置のブロック冗長救済方法の一実施形態におけるアドレス変換処理の具体例を示すアドレス変換テーブル

[図6]本発明に係る不揮発性半導体記憶装置のブロック冗長救済方法の一実施形態におけるアドレス変換処理の具体例を示すアドレスマップ

[図7]図1に示すメモリアレイ構成における不良ブロックの位置の一例を模式的に示すブロック図

[図8]本発明に係る不揮発性半導体記憶装置の一実施形態におけるブートブロック検知回路の一例を示す論理回路図

符号の説明

[0034]

- 1 メモリアレイ
- 2 メモリアレイ本体部
- 3 ブートブロック部
- 4 パーティション

- 5 メモリブロック
- 6 冗長ブロック
- 7 メモリブロック
- 8 メイン列デコーダ
- 10 アドレス変換回路
- 11 ブートブロック検知回路(特定ブロックアドレス検知回路)
- 12 不良ブロックアドレス記憶回路
- 13 パーティションデコード回路
- 14 ブロックデコード回路
- 15 パーティション選択回路
- 16 ブートブロック選択回路
- 17, 18 制御回路
- 19 2入力排他的否定論理和回路(排他的NOR回路)
 - Sbb ブートブロック選択信号
 - PSEL0～7 パーティション選択信号
 - BSEL0～3 ブロック選択信号

発明を実施するための最良の形態

[0035] 本発明に係る不揮発性半導体記憶装置及びそのブロック冗長救済方法(以下、適宜「本発明装置」及び「本発明方法」という。)の一実施の形態につき、図面に基づいて説明する。以下、本発明装置がデュアルワーク機能を備えたブートブロック型のフラッシュメモリである場合を想定して説明する。

[0036] 本発明装置は、装置全体での機能的なブロック構成は従来の一般的なデュアルワーク機能を備えたブートブロック型のフラッシュメモリと同様であり、各機能ブロック(例えば、アドレス入力回路、アドレスデコーダ回路、データ入出力回路、データ書き込み・消去回路、データの読み出し及び書き込みに係る制御を行う制御回路等の周辺回路部)に関する個々の詳細な説明は割愛し、本発明装置及び本発明方法の特徴的な回路構成や手法につき説明する。

[0037] 図1に、本発明装置のメモリアレイ構成を模式的に示す。本実施形態では、メモリア

レイ1をメモリアレイ本体部2とブートブロック部3に分離して構成する。メモリアレイ本体部2は、更に、複数のパーティション4(図1の例では、8個のパーティション)に均等に分割され、更に、各パーティション4は4つのメモリブロック5に均等に分割されて構成される。各メモリブロック5は、メモリセルをアレイ状に複数配列して構成される。本実施形態では、メモリセルとしてフローティングゲート構造のフラッシュメモリトランジスタを備えて構成されるフラッシュセルを想定し、各メモリブロック5は、データ消去単位となっている。

[0038] 図1に示すブロック構成例では、メモリアレイ本体部2内の総メモリブロック数は32であるので、メモリアレイ本体部2から1つのメモリブロックを選択するのに必要なブロックアドレス数は5ビットである。そのアドレスビットの内、上位の3ビットをパーティション選択用の第1ブロックアドレスとし、下位の2ビットを各パーティション4内の4つのメモリブロック5の1つを選択する第2ブロックアドレスと規定する。尚、メモリアレイ本体部2のパーティション分割数及び各パーティション4内のブロック分割数は一例であり、本実施形態のものに限定されるものではない。

[0039] 本実施形態では、最上位(11111)のブロックアドレスを特定ブロックアドレスとして、当該特定ブロックアドレスに対応するメモリブロックを冗長ブロック6に設定している。また、同じ特定ブロックアドレスに、メモリアレイ本体部2と分離して設けられたブートブロック部3(特定メモリブロックに相当)を割り当てている。後述するように、外部から当該特定ブロックアドレス“11111”が入力すると、冗長ブロック6ではなく、ブートブロック部3が選択されるように構成されている。つまり、冗長ブロックを物理的に含むパーティションは、論理的にはブートブロックを含む構成となっている。詳細な回路構成については後述する。

[0040] ブートブロック部3は、総メモリセル数は、メモリアレイ本体部2の1つのメモリブロック5と同じであるが、更に、複数の小メモリブロック7に分割され、各小メモリブロック単位で一括消去可能に構成されている。ブートブロック部3は、各小メモリブロック7を相互に分離する構造が必要となるため、メモリアレイ本体部2の1つのメモリブロック5より、面積的に大きくなる。このため、メモリアレイ本体部2内に、ブートブロック部3を収容しようとすれば、メモリアレイ本体部2に余分なスペースが生じる結果となるが、本実施

形態では、かかる不都合が好適に回避されている。

[0041] 図1において、メモリアレイ本体部2は、左右に夫々4つのパーティション4を配置し、その中央にメモリ動作(データの読み出し、書き込み、消去等)に必要な信号線(例えば、アドレス信号、データ信号、各種制御信号)が配線されている。図1中、各パーティション4の中央側には、パーティション毎に、パーティション4の選択回路とメモリ動作に必要な制御回路(各種デコーダ回路、読み出し回路、書き込み・消去回路等)が配置されている。具体的には、図2に示すように、構成されている。図2において、複数のメモリブロックを左右に横断してグローバルビット線が配置され、各メモリブロック内では、ローカルビット線が列方向(図2中の左右方向)に設けられ、各メモリブロック内の同一列のフラッシュセルのドレイン電極が共通のローカルビット線に接続し、ローカルビット線は所定のビット線選択トランジスタを介してグローバルビット線に接続する階層的なビット線構造となっている。かかる構成により、制御回路17からの各種メモリ動作が各ビット線を通して選択されたメモリセルに対して実行可能となる。また、図示しないが、行方向(図2中の上下方向)にワード線が設けられ、各メモリブロック内の同一行のフラッシュセルのゲート電極が共通のワード線に接続し、選択されたワード線によってメモリセルを行方向に選択可能に構成されている。ブートブロック部3も基本的に各パーティション4と類似の構成になっていて、各パーティション4と同様のメモリ動作に必要な制御回路18が設けられている。

[0042] 次に、メモリアレイ本体部2内のメモリブロック5(ブロックアドレス“00000”～“11110”)の1つがブロック冗長救済を要する不良ブロックである場合に、冗長ブロックアドレス“11111”の冗長ブロック6と置換する本発明方法によるブロック置換処理について説明する。

[0043] 先ず、ブロック置換処理に関する回路構成について説明する。図3に示すように、外部から入力された外部ブロックアドレスは、アドレス変換回路10とブートブロック検知回路11(特定ブロックアドレス検知回路に相当)に入力する。ブートブロック検知回路11では、外部ブロックアドレスが最上位アドレス“11111”の特定ブロックアドレスである場合に所定の信号レベル(例えば、高レベル)のブートブロック選択信号Sbを出力する。

[0044] アドレス変換回路10は、不良ブロックアドレスの各アドレスビットの状態(1または0)を記憶した不良ブロックアドレス記憶回路12から出力される5ビットの不良ブロックアドレスと冗長ブロックアドレス(11111)との不一致部分について、入力された外部ブロックアドレスの当該アドレスビットを反転処理することにより内部ブロックアドレスに変換して出力する。

[0045] アドレス変換回路10で変換された内部ブロックアドレスは、上位3ビットの第1ブロックアドレスがパーティションデコード回路13に入力し、8本のパーティション選択信号PSEL0～7を出力する。パーティション選択信号PSEL0～7の1つが第1ブロックアドレスの値に応じて所定の選択レベル(例えば、高レベル)を出力し、他の7つが非選択レベル(例えば、低レベル)を出力する。内部ブロックアドレスの下位2ビットの第2ブロックアドレスは、ブロックデコード回路14に入力し、4本のブロック選択信号BSEL0～3を出力する。

[0046] 図2に示すように、ブートブロック検知回路11で生成されたブートブロック選択信号Sbb、パーティションデコード回路13で生成されたパーティション選択信号PSEL0～7、ブロックデコード回路14で生成されたブロック選択信号BSEL0～3は、各パーティションのパーティション選択回路15及びブートブロック選択回路16に入力する。尚、パーティション選択信号PSEL0～7は、対応する1つだけがパーティション選択回路15に入力する。ブートブロック選択信号Sbbが高レベルの場合は、パーティション選択信号PSEL0～7の状態に拘わらず、全てのパーティション選択回路15が非選択状態となり、ブートブロック選択信号Sbbが活性化され選択状態となる。

[0047] 以上の説明より、本実施形態では、ブロック置換処理を実現するブロック置換手段が、アドレス変換回路10とブートブロック検知回路11と不良ブロックアドレス記憶回路12で構成される。

[0048] 次に、アドレス変換回路10の回路構成、及び、本発明方法によるアドレス変換処理のアルゴリズムとアドレス変換処理後のメモリブロック選択手法について説明する。

[0049] 図4に示すように、アドレス変換回路10は、論理的には、5つの2入力排他的否定論理回路(排他的NOR回路)19で構成される。各排他的NOR回路19には、外部ブロックアドレスの各アドレスビットと対応する不良ブロックアドレスの各アドレスビット

トが夫々1ビットずつ入力する。排他的NOR処理は、2つの入力値(0または1)が一致する場合は1を出力し、不一致の場合には0を出力する。本実施形態では、冗長ブロックアドレスが“11111”であるので、不良ブロックアドレスのアドレスビットが0の個所が、冗長ブロックアドレスとの不一致個所に該当する。従って、上記排他的NOR処理によって、外部ブロックアドレスの各アドレスビットは、不良ブロックアドレスビットの0の個所が反転処理され内部ブロックアドレスに変換されることになる。つまり、外部ブロックアドレスのアドレスビットが1であれば0が出力され、0であれば1が出力される。逆に、不良ブロックアドレスのアドレスビットが1の個所は反転処理されず、外部ブロックアドレスの当該アドレスビットがそのまま内部ブロックアドレスの当該アドレスビットとして出力される。

[0050] 例えれば、不良ブロックアドレスが“01001”的場合を例にとって説明すると、不良ブロックアドレスの最下位ビットから2、3及び5ビット目が反転処理され、内部ブロックアドレスは“11111”になる。従って、外部ブロックアドレスとしてこの不良ブロックアドレス“01001”が、アドレス変換回路10に入力すると、内部ブロックアドレス“11111”が出力される。そして、内部ブロックアドレス“11111”がパーティションデコード回路13及びブロックデコード回路14に入力し、パーティション7のブロック3の冗長ブロックが選択される。

[0051] 次に、全てのブロックアドレスについての上記排他的NOR処理によるアドレス変換処理を検証する。ブロックアドレスの上位3ビットの第1ブロックアドレスと、下位2ビットの第2ブロックアドレスに分けて考える。

[0052] 図5の変換テーブルに示すように、8つの全てのパーティションに対し、2つずつパーティションが対になり、各対において相互変換がなされる。同様に、各パーティション4内の4つの全てのブロックに対しても、2つずつブロックが対になり、各対において相互変換がなされる。どのパーティションが対になるか、どのブロックが対になるかは、不良ブロックアドレスによって決定される。本実施形態では、アドレス変換回路10によって、外部ブロックアドレスAが内部ブロックアドレスBに変換される場合には、外部ブロックアドレスBは内部ブロックアドレスAに変換されるので、外部ブロックアドレスと内部ブロックアドレスは対称な関係にある。

[0053] ここで、パーティションの変換は、各パーティションが一纏まりとなって変換され、メモリブロックの変換は、パーティション内で行われるので、同じパーティション内のメモリブロックは変換後も同じパーティション内に移行することになる。この様子を、図6に模式的に示す。図6では、物理ブロックアドレスをメモリアレイ内の各メモリブロックの実際の配置場所と物理的に対応するブロックアドレスとして扱う。また、図6の論理ブロックアドレスマップは、物理的なパーティション及びメモリブロックの位置と変換後の論理ブロックアドレスとの対応関係を示しており、アドレス変換処理によって、物理的なパーティション及びメモリブロックの配置が論理的にどのように変化するかを示している。左右の各ブロックアドレスマップで、同じ上下位置のパーティション及びメモリブロックは物理的に同じ実体を示している。図6中の矢印は、外部ブロックアドレスが、不良ブロックを示す物理ブロックアドレス“01001”を入力しても、アドレス変換処理により内部ブロックアドレス“11111”に変換されるので、本来の物理ブロックアドレス“11111”に位置する冗長ブロックが選択される様子を示している。

[0054] 物理ブロックアドレスマップで不良ブロック(図7中のクロスハッチング部分参照)を含むパーティションP2は、論理ブロックアドレスマップではパーティションP7として扱われ、逆に、物理ブロックアドレスマップのブートブロックを論理的に含むパーティションP7は、論理ブロックアドレスマップではパーティションP2として扱われる。従って、外部ブロックアドレス(第1ブロックアドレス)として“010”が入力されると、内部ブロックアドレス空間での(つまり、実際のメモリアレイにおける)パーティションP7が選択され、逆に、外部ブロックアドレス(第1ブロックアドレス)として“111”が入力されると、内部ブロックアドレス空間でのパーティションP2が選択されることになる。

[0055] パーティション内の各メモリブロックもアドレス変換処理により、同様の変換がなされる。ここで、外部から不良ブロックアドレス“01001”が入力されると、上記アドレス変換処理によって、内部ブロックアドレス空間でのブロックアドレス“11111”の冗長ブロックが選択され、不良ブロックが冗長ブロックと置換され、結果として不良ブロックが冗長ブロックにより救済される。逆に、外部からブートブロック部3を選択する特定ブロックアドレス“11111”が入力されると、上記アドレス変換処理によって、内部ブロックアドレス空間でのブロックアドレス“01001”の不良ブロック(図7中のハッチング部分参

照)が選択されることになるが、それでは、ブートブロック部3が適正に選択されないので、上述のように、ブートブロック検知回路11によって特定ブロックアドレス“11111”が入力されると強制的にブートブロック部3を選択する処理を行う。

[0056] 不良ブロックが存在しない場合は、不良ブロックを冗長ブロックアドレスと同じ“11111”に設定することで、上記排他的NOR処理による反転処理が一切されないので、外部ブロックアドレスはそのまま内部ブロックアドレスとして出力される。

[0057] 本実施形態では、冗長ブロックアドレスが“11111”であるので、上記排他的NOR処理になるが、冗長ブロックアドレスが00000の場合は、不良ブロックアドレスのアドレスビットの1の個所が、冗長ブロックアドレスとの不一致個所に該当するため、排他的NOR処理ではなく、排他的OR処理が適当となる。しかし、排他的OR処理は排他的NOR処理の出力を反転すればよいので、具体的な回路構成においては、適宜、排他的NOR回路または排他的OR回路を使用すればよい。

[0058] ここで、不良ブロックアドレスの各アドレスビットをアドレス変換回路10に出力する不良ブロックアドレス記憶回路12は、例えば、各アドレスビットに対して、1対のフラッシュセルを割り当て、一方を高閾値電圧に、他方を低閾値電圧に設定することで、何れのフラッシュセルが高閾値電圧に書き込まれたかによって、各アドレスビットの状態(0または1)を記憶することができる。尚、各アドレスビットに対して2つのフラッシュセルを用いることで、各アドレスビットの状態を低消費電流で且つ確実に読み出すことが可能となる。

[0059] 或いは、各アドレスビットに対して、1つのフラッシュセルを割り当て、消去状態を冗長ブロックアドレスに対応させて、不一致個所だけを書き込むように構成しても構わない。かかる構成により、冗長ブロックアドレスが“11111”的に限らず、同じアドレス変換回路10を使用することができる。また、アドレス変換回路10が排他的OR処理を基本とする場合は、フラッシュセルは、不良ブロックアドレスと冗長ブロックアドレスの一一致個所だけを書き込むようにしても構わない。かかる構成よれば、不良ブロックが存在しない場合は、不良ブロックアドレス記憶回路12に対してデフォルトの不良ブロックアドレスを記憶させる必要がない。

[0060] 尚、上記何れの構成であっても、不良ブロックアドレス記憶回路12のフラッシュセル

を外部から書き込み、或いは、書き込み・消去可能に構成するのが好ましい。この場合、例えば、外部から特定のコマンドを受け付けて、不良ブロックアドレス記憶回路12の書き替えモードに移行して、上記各フラッシュセルの消去、書き込みを実行する。

[0061] 次に、ブートブロック検知回路11について簡単に説明する。本実施形態では、特定ブロックアドレスが“11111”であるので、図8に示すように、論理的には5入力の論理積(AND)回路で簡単に構成される。各入力には外部ブロックアドレスの各アドレスビットを入力する。尚、特定ブロックアドレスが“00000”的場合は、ブートブロック検知回路11は、同様の考え方により、論理的には5入力の否定論理和(NOR)回路で簡単に構成できる。

[0062] 次に、本発明装置の別実施の形態につき説明する。

[0063] 〈1〉上記実施形態では、本発明装置がデュアルワーク機能を備えたブートブロック型のフラッシュメモリである場合を想定したが、本発明に係るアドレス変換回路10及びブートブロック検知回路11によるブロック置換処理、つまり、本発明方法は、デュアルワーク機能を備えないフラッシュメモリ、また、特定メモリブロックがブートブロックでないフラッシュメモリに適用しても、有効に機能する。

[0064] 〈2〉上記実施形態では、特定ブロックアドレスが“11111”的場合を想定したが、特定ブロックアドレスはブロックアドレスの最上位アドレスに限定されるものではなく、最下位アドレスでもよく、また、その中間のアドレスでも構わない。

[0065] 〈3〉上記実施形態では、不良ブロックアドレス記憶回路12は、不良ブロックアドレスを記憶する形態を例示したが、特定ブロックアドレスが“11111”、または、“00000”的場合は、実質的には冗長ブロックアドレスの各アドレスビットとの不一致部分、または、一致部分を記憶していることと等価であるので、一般的に、不良ブロックアドレスと不良ブロックアドレスの不一致部分または一致部分のアドレスビットを記憶するようにも構わない。

[0066] 〈4〉上記実施形態では、冗長ブロック7を1つ備えたメモリアレイ本体部2とブートブロック部3で構成されたメモリアレイ1が1つの場合を説明したが、本発明装置は、当該メモリアレイ1を複数備えていても構わない。

[0067] 〈5〉上記実施形態では、メモリセルとしてフラッシュセルを想定したが、メモリセルは

これに限定されるものではない。また、メモリセルは、記憶状態の違いがメモリトランジスタの閾値電圧の違いとなって現れるもの以外に、MRAM、OUM、RRAM等のように可変抵抗素子型のメモリセルであっても、同様の本発明のブロック置換処理は適用可能である。更に、ブロック置換処理の考え方は、その他の不揮発性半導体記憶装置に適用可能である。特に、デュアルワーク機能或いはブートブロックを備えた不揮発性半導体記憶装置に、効果的に機能する。

産業上の利用可能性

[0068] 本発明は、不揮発性半導体記憶装置の不良メモリセルの冗長救済技術に適用でき、特に、デュアルワーク機能やブートブロックを有する不揮発性半導体記憶装置に利用可能である。

請求の範囲

[1] 電気的に書き込み消去可能な不揮発性のメモリセルをアレイ状に複数配列して一括データ消去可能に形成されたメモリブロックの複数と、前記メモリブロックの1つと同じメモリセル数で同構成の冗長ブロックとで構成されるメモリアレイを備えてなる不揮発性半導体記憶装置であって、
前記メモリアレイ内の1つの前記メモリブロックが不良ブロックである場合に、前記不良ブロックを前記冗長ブロックと置換するブロック置換手段を備え、
前記ブロック置換手段が、入力された外部ブロックアドレスの各アドレスビットの内、前記不良ブロックの不良ブロックアドレスと前記冗長ブロックアドレスの各アドレスビットの不一致部分に対応するアドレスビットを反転させて、内部ブロックアドレスに変換するアドレス変換回路を備え、
前記各メモリブロックが、外部から入力される前記外部ブロックアドレスを前記アドレス変換回路で変換した後の前記内部ブロックアドレスに基づいて、選択されるように構成されていることを特徴とする不揮発性半導体記憶装置。

[2] 前記メモリアレイ内の1つの特定メモリブロックの特定ブロックアドレスと前記冗長ブロックの冗長ブロックアドレスが重複するように構成され、
前記ブロック置換手段が、
外部から入力される前記ブロックアドレスが前記特定ブロックアドレスか否かを検知し、前記ブロックアドレスが前記特定ブロックアドレスと一致する場合に、強制的に前記特定メモリブロックを選択する信号を出力する特定ブロックアドレス検知回路を備えることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

[3] 前記特定メモリブロックが、更に複数の一括データ消去可能な小メモリブロックで構成されているブートブロックであることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

[4] 前記メモリアレイの本体部を前記ブートブロック以外の前記メモリブロックと前記冗長ブロックで構成し、
前記ブートブロックを前記メモリアレイの本体部から分離して配置することを特徴とする請求項3に記載の不揮発性半導体記憶装置。

[5] 前記特定ブロックアドレスが前記ブロックアドレスの最上位または最下位であること
を特徴とする請求項2に記載の不揮発性半導体記憶装置。

[6] 前記ブロック置換手段は、
前記不良ブロックアドレスまたは前記冗長ブロックアドレスの各アドレスビットとの不
一致部分に関する情報を記憶する不良ブロックアドレス記憶回路を備え、
前記アドレス変換回路は、前記ブロックアドレスの各アドレスビットに対して排他的
論理和回路または排他的否定論理和回路を備えて構成されていることを特徴とする
請求項1に記載の不揮発性半導体記憶装置。

[7] 前記不良ブロックアドレス記憶回路が、外部から書き替え可能に構成されていること
を特徴とする請求項6に記載の不揮発性半導体記憶装置。

[8] 前記メモリアレイが複数のパーティションに分割され、且つ、前記各パーティション
が複数の前記メモリブロックを含むように構成され、
前記パーティション内の1つのメモリブロックに対する書き替え動作中に、他の前記
パーティション内の1つのメモリブロックに対する読み出し動作が可能に構成されてい
ることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

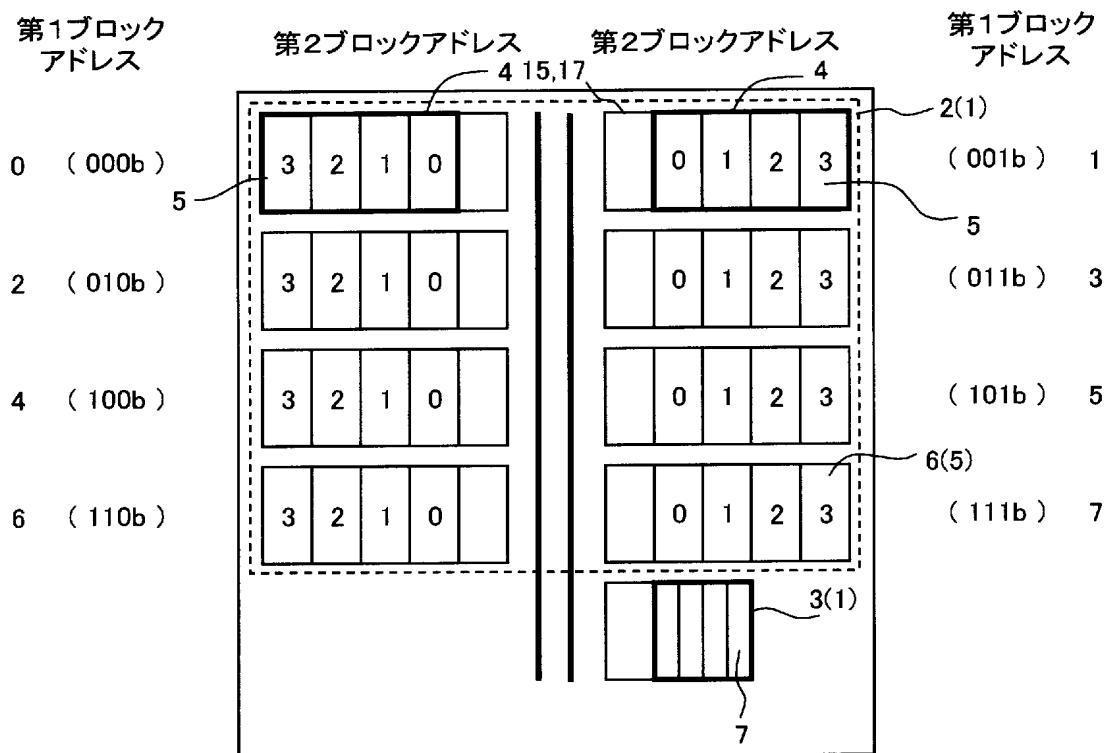
[9] 前記メモリセルが、フローティングゲート型のフラッシュメモリセルであることを特徴と
する請求項1に記載の不揮発性半導体記憶装置。

[10] 電気的に書き込み消去可能な不揮発性のメモリセルをアレイ状に複数配列して一
括データ消去可能に形成されたメモリブロックの複数と、前記メモリブロックの1つと同じ
メモリセル数で同構成の冗長ブロックとで構成されるメモリアレイを備えてなる不揮
発性半導体記憶装置のブロック冗長救済方法であって、
外部から入力される外部ブロックアドレスの各アドレスビットの内、前記不良ブロック
の不良ブロックアドレスと前記冗長ブロックアドレスの不一致部分に対応するアドレス
ビットを反転させて、内部ブロックアドレスに変換するブロックアドレス変換工程と、
前記内部ブロックアドレスを用いて前記メモリブロックを選択するメモリブロック選択
工程を有することを特徴とする不揮発性半導体記憶装置のブロック冗長救済方法。

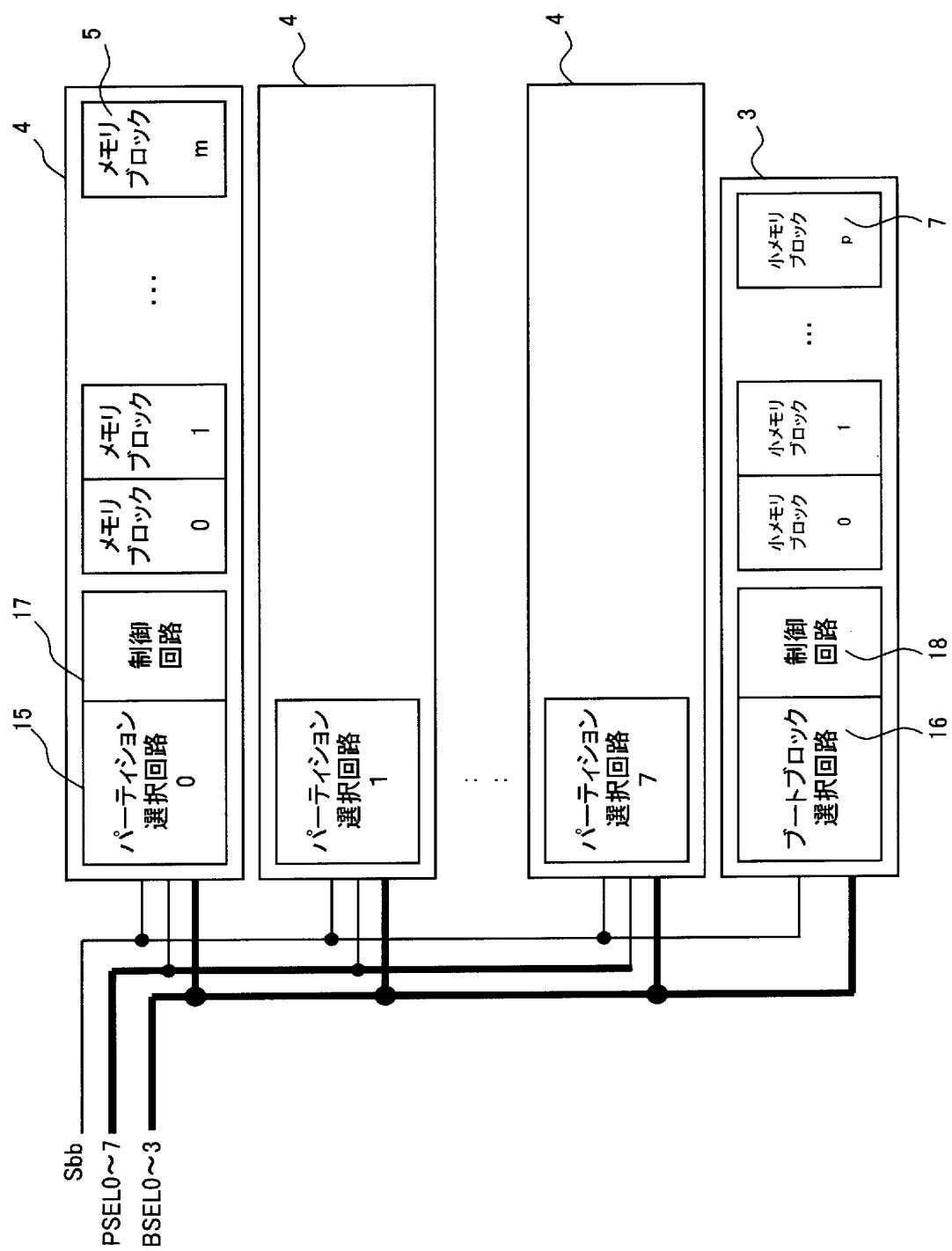
[11] 前記メモリアレイ内の1つの特定メモリブロックの特定ブロックアドレスと前記冗長ブ
ロックの冗長ブロックアドレスが重複するように構成し、

外部から入力される前記外部ブロックアドレスが前記特定ブロックアドレスか否かを検知し、前記外部ブロックアドレスが前記特定ブロックアドレスと一致する場合に、強制的に前記特定メモリブロックを選択することを特徴とする請求項10に記載の不揮発性半導体記憶装置のブロック冗長救済方法。

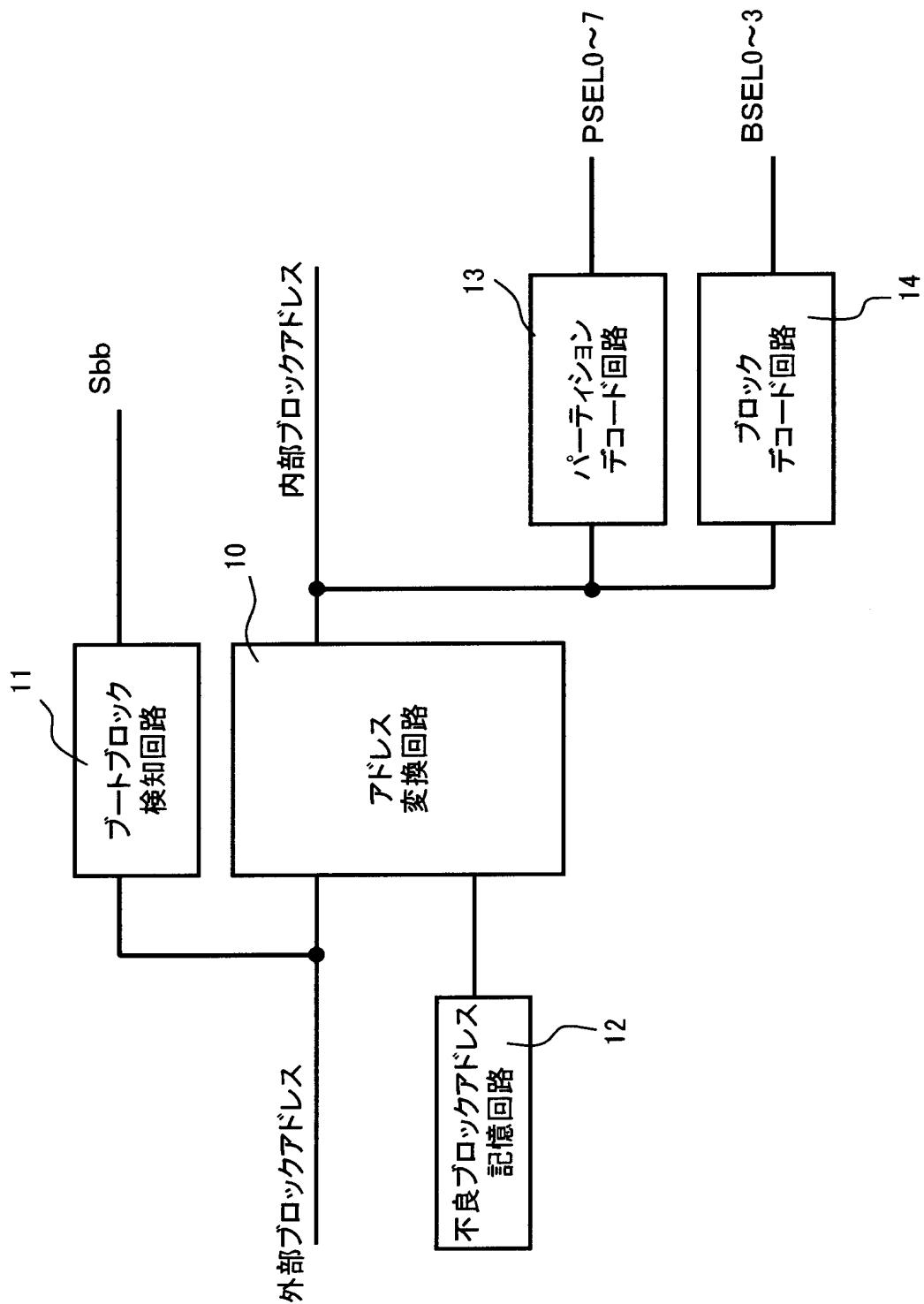
[図1]



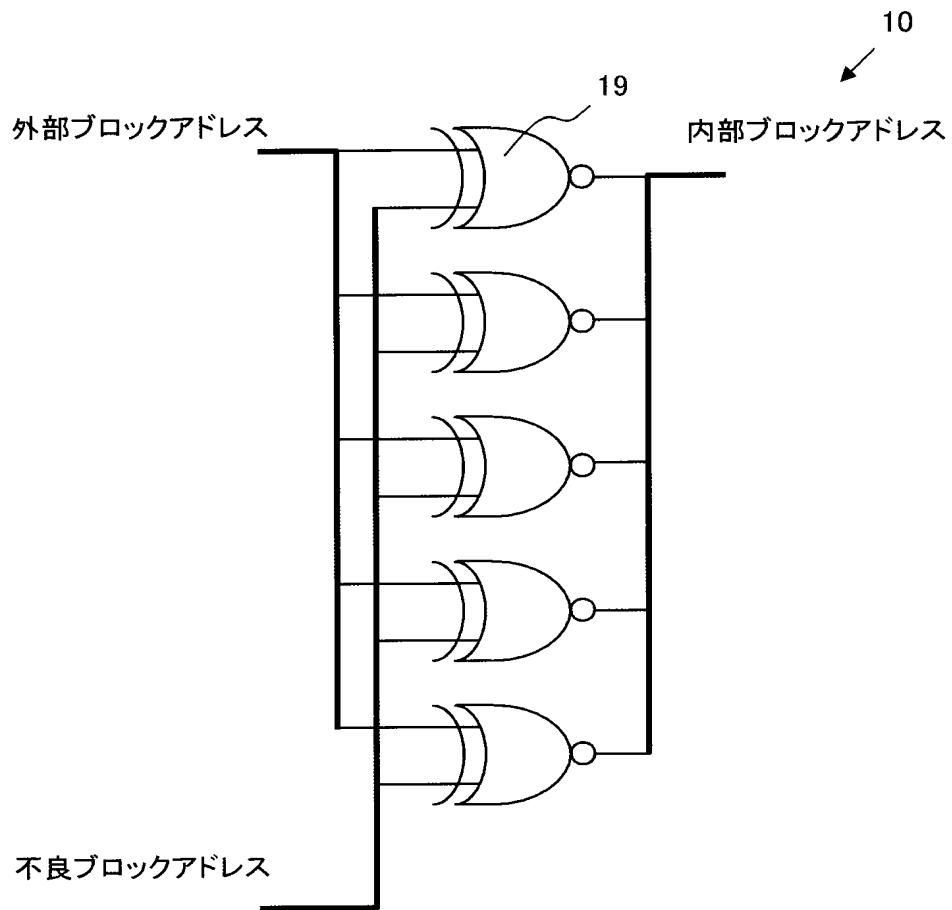
[図2]



[図3]



[図4]

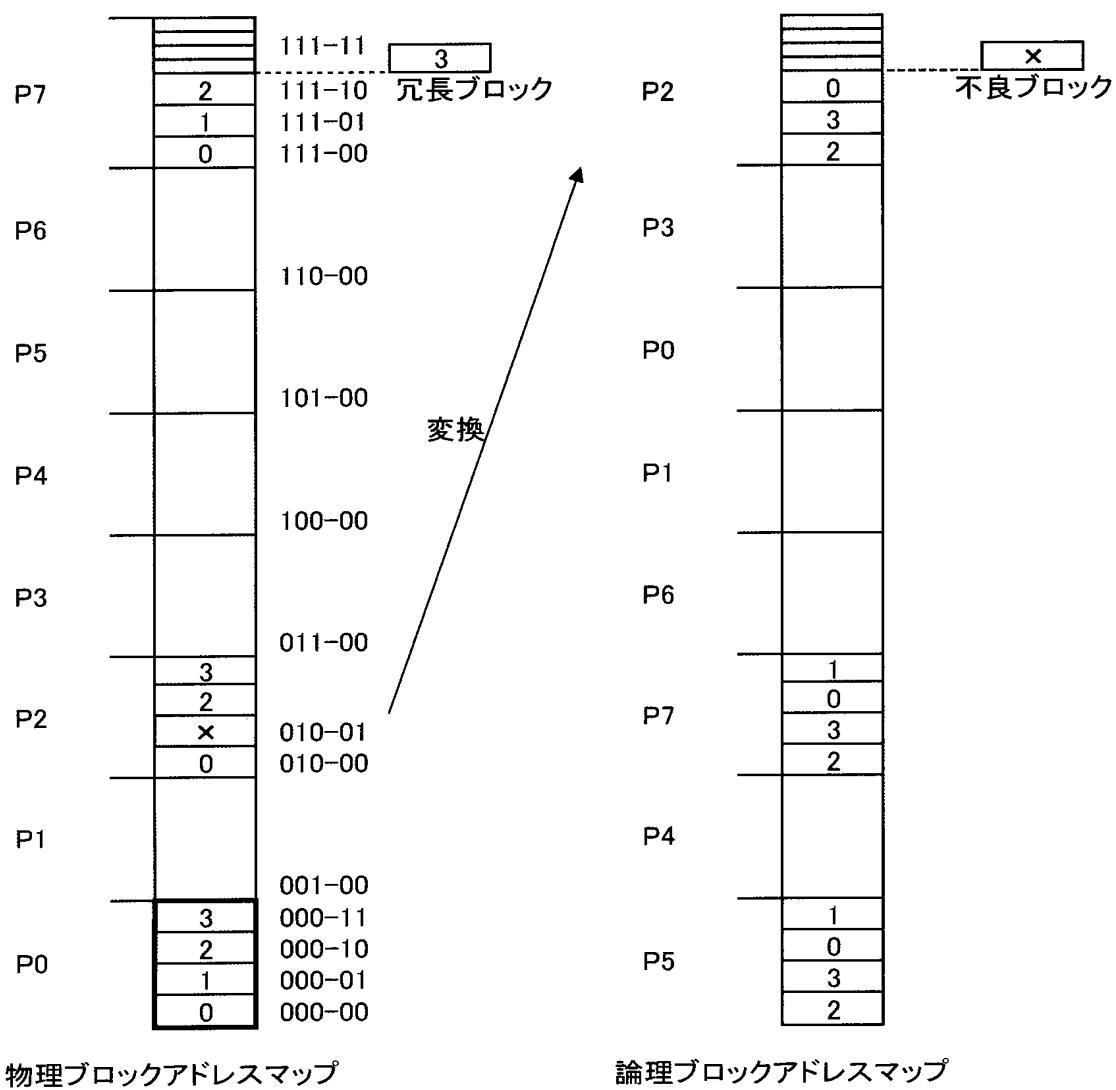


[図5]

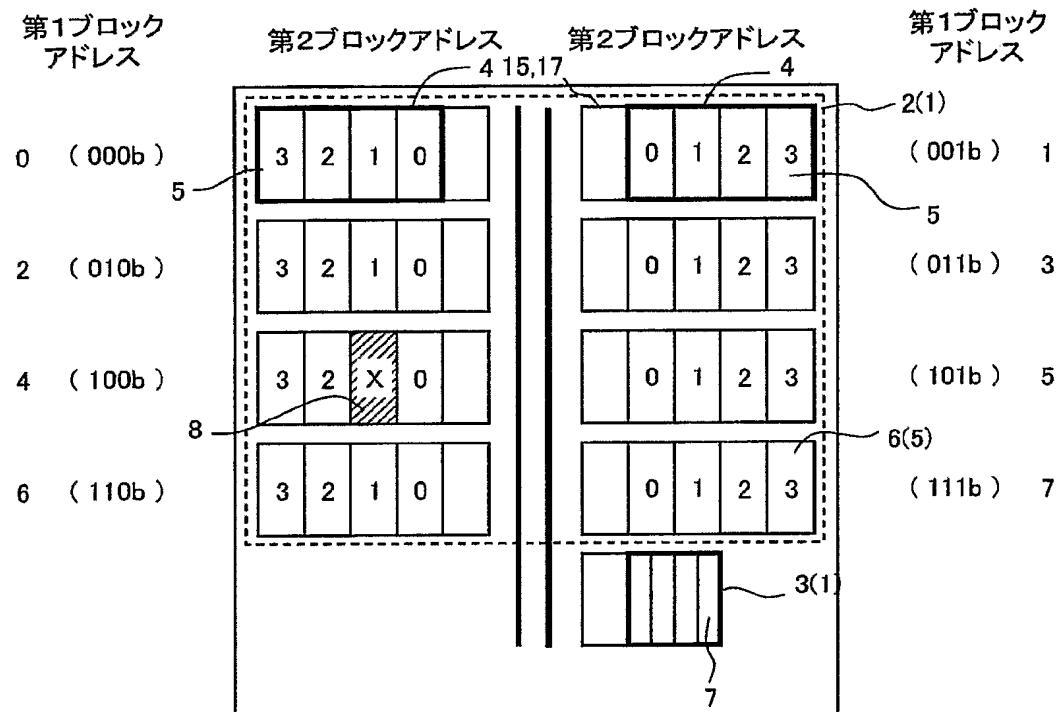
第1ブロックアドレス			
変換前	変換後	変換前	変換後
011	→ 110	111	→ 010
010	→ 111	110	→ 011
001	→ 100	101	→ 000
000	→ 101	100	→ 001

第2ブロックアドレス	
変換前	変換後
11	→ 01
10	→ 00
01	→ 11
00	→ 10

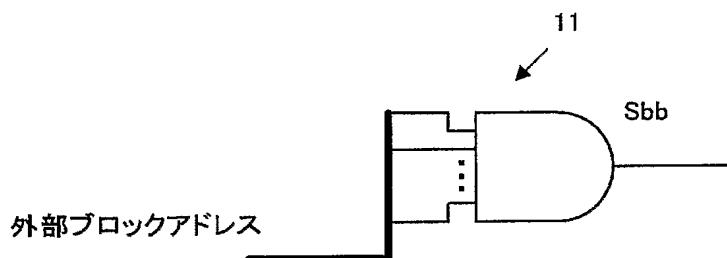
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001891

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C29/00, G11C16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-226500 A (Toshiba Corp.) , 05 October, 1987 (05.10.87) , Full text; all drawings (Family: none)	1-11
A	JP 53-000032 A (Fujitsu Ltd.) , 05 January, 1978 (05.01.78) , Full text; all drawings (Family: none)	1-11
A	JP 2003-045196 A (Fujitsu Ltd.) , 14 February, 2003 (14.02.03) , Full text; all drawings & US 2002/0105840 A1	3-5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	<p>T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>& document member of the same patent family</p>
A document defining the general state of the art which is not considered to be of particular relevance	
E earlier application or patent but published on or after the international filing date	
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	
O document referring to an oral disclosure, use, exhibition or other means	
P document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
31 May, 2005 (31.05.05)

Date of mailing of the international search report
14 June, 2005 (14.06.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001891

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-086600 A (Mitsubishi Electric Corp.), 30 March, 1999 (30.03.99), Full text; all drawings (Family: none)	3-5
A	JP 2000-182390 A (Mitsubishi Electric Corp.), 30 June, 2000 (30.06.00), Full text; all drawings & US 6418066 B1	1,10
A	JP 2003-323352 A (Hitachi, Ltd.), 14 November, 2003 (14.11.03), Full text; all drawings (Family: none)	1,10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G 11 C 29/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G 11 C 29/00, G 11 C 16/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリーエ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 62-226500 A (株式会社東芝) 1987.10.05 全文, 全図 (ファミリーなし)	1-11
A	JP 53-000032 A (富士通株式会社) 1978.01.05 全文, 全図 (ファミリーなし)	1-11
A	JP 2003-045196 A (富士通株式会社) 2003.02.14 全文, 全図 & US 2002/0105840 A1	3-5

 C欄の続きにも文献が列挙されている。

「パテントファミリーに関する別紙を参照。」

* 引用文献のカテゴリ

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

31.05.2005

国際調査報告の発送日

14.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

8731

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-086600 A (三菱電機株式会社) 1999. 03. 30 全文, 全図 (ファミリーなし)	3-5
A	JP 2000-182390 A (三菱電機株式会社) 2000. 06. 30 全文, 全図 & US 6418066 B1	1, 10
A	JP 2003-323352 A (株式会社日立製作所) 2003. 11. 14 全文, 全図 (ファミリーなし)	1, 10